

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021885

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 21/3205

G02F 1/1343

H01L 21/304

(21)Application number : 10-201180

(71)Applicant : RICOH CO LTD

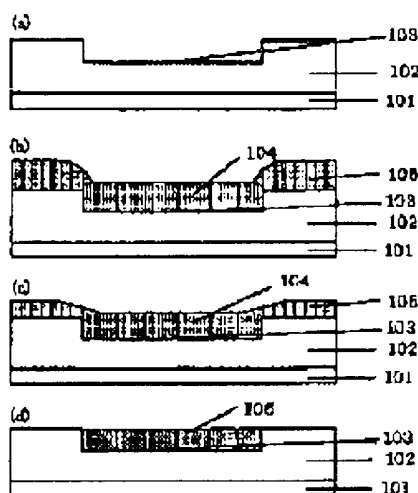
(22)Date of filing : 01.07.1998

(72)Inventor : SUZUKI YUKIE

## (54) METHOD FOR FORMING SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent dishing without affecting layout at the time of forming wiring or an electrode by damascene and dual damascene method using CMP (chemical-mechanical polishing).  
**SOLUTION:** This method comprises a process for forming a groove 103 in an interlayer insulating film 102 on a semiconductor region 101, process for forming a conductive material film on the entire face of the interlayer insulating film 102 including the groove part 103, and process for removing the conductive material film on the interlayer insulating film 102 through chemical-mechanical polishing by leaving the conductive materials in the groove 103. In the process for forming the conductive material film on the entire face of the interlayer insulating film 102 including the groove part 103, the mean grain diameter of a conductive material 104 formed in the groove part 103 is made larger than the mean grain particle of a conductive material 105 formed on a part other than the groove part 103.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Date of extinction of right]

[Date of extinction of right]

[Date of extinction of right]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

---

CLAIMS

---

[Claim(s)]

[Claim 1] The process which forms a layer insulation film on a semiconductor region, and forms a slot in this layer insulation film. The process which forms a conductive material film all over

[aforementioned] a layer insulation film top including the aforementioned slot. The process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on the aforementioned layer insulation film. It is the substrate formation method equipped with the above, and is characterized by making larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot.

[Claim 2] The process which forms an insulator layer on an active matrix substrate, and forms a slot in this insulator layer. The process which forms a conductive material film all over [aforementioned] an insulator layer top including the aforementioned slot. The process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on the aforementioned insulator layer. It is the substrate

larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot.

[Claim 3] The substrate formation method characterized by controlling the mean particle diameter of a conductive material which arranges the film of a membrane type which is different into portions other than a slot and a slot, respectively, or different composition in the substrate formation method according to claim 1 or 2, and is formed on it using ground dependence of this film.

[Claim 4] The substrate formation method characterized by enlarging the mean particle diameter of a conductive material formed in a slot by laser radiation in the substrate formation method according to claim 1 or 2.

[Claim 5] The substrate formation method characterized by making small the mean particle diameter of a conductive material of portions other than a slot by ion implantation in the substrate formation method according to claim 1 or 2.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention embeds the slot

material film, and relates to the substrate formation method which forms the conductive material film which functions as wiring or an electrode using chemical mechanical polishing (CMP).

[0002]

[Description of the Prior Art] In recent years, in the semiconductor device, dry etching of a metal membrane is not used for detailed-izing of wiring, or multilayering and low-cost-izing, but the wiring formation method by the DAMASHIN (Damascene) method using chemical mechanical polishing (CMP) is proposed (U.S. Pat. No. 4944836). This method is the technology of obtaining the wiring layer (embedding aluminum wiring) 306 of the structure where CMP removed aluminum film which formed the aluminum film 304 thicker than a slot pattern in the insulator layer 302 in which the slot pattern 303 was formed by vacuum evaporation or the sputter ( drawing 6 (a) ), and was formed in addition to the slot field, and the slot was embedded with aluminum ( drawing 6 (b) ), as shown in drawing 6 . In addition, in drawing 3 , a sign 301 is a silicon substrate.

[0003] Moreover, as shown in drawing 7 for low-cost-izing, the beer hall 406 used as connection between the slot 403 as wiring and the lower layer wiring 404 is formed ( drawing 7 (a) ). It is simultaneously embedded by the metal film 407 ( drawing 7 (b) ), simultaneously

in chemical mechanical polishing By removing metal films other than a slot and a beer hall, ( drawing 7 (c) ) and the number of processes are cut down, and dual DAMASHIN (Dual Damascene) which forms a multilayer interconnection attracts attention. In addition, in drawing 7 , signs 401, 402, 405 are a substrate, a layer insulation film, and a photoresist, respectively.

[0004] Promising \*\* of these methods is carried out also to copper with difficult dry etching to the demand of wiring or the reduction in resistance of an electrode.

[0005] CMP grinds using the chemical etching operation by the chemical composition contained in an abrasive material, and mechanical scouring. As shown in drawing 8 , after attaching in the polish head 502 which can rotate the substrate 504 which should be ground through the carrier pad 503 as a process of CMP, it grinds by forcing the front face of a substrate 504 on the rotating platen (turn table) 501. The pad (abrasive cloth) 506 is stuck on the front face of a platen 501, and polish goes to it by the slurry (abrasive material) 505 adhering to this pad 506.

[0006]

[Problem(s) to be Solved by the Invention] However, by the method of forming wiring or an electrode by above-mentioned DAMASHIN and the above-mentioned dual DAMASHIN method, as shown in drawing 9 , the

phenomenon called dishing in which the center section of the aluminum wiring (or electrode) 603 becomes depressed will arise. In addition, in drawing 9, signs 601, 602 are a substrate and a layer insulation film, respectively.

[0007] As shown in drawing 10, in a portion with the small line breadth (wiring width of face) of aluminum wiring, this dishing becomes large as line breadth becomes large, although it is satisfactory, and dishing (impression) 300nm or more produces it by width of face of 300 micrometers. Therefore, like the pad section which performs wirebonding, in several 100-micrometer aluminum electrode, aluminum of a center section is removed by dishing and a defect may occur in wirebonding by it. Moreover, also with aluminum wiring, this dishing arises with the latus power supply line of width of face, the wiring depth of a center section becomes small, wiring resistance increases, and there is a problem of bringing about degradation of an element property. Moreover, since an impression occurs and a level difference increases absolutely by this dishing, the depth of focus in the lithography of the wiring formed in this upper layer is pressed, and the problem of leading to an open circuit of wiring is also produced.

[0008] it is alike, and it will follow, and

mm of pieces will become the almost same pressure as heights other than a slot, and will become [ the pressure to which as for this dishing, a flute width becomes large since the abrasive cloth 506 has limited hardness and to which an abrasive cloth 506 contacts metal also in a slot pars basilaris ossis occipitalis becomes large, and ] an equal polish speed Therefore, extremely, in the latus slot of width of face, and portions other than a slot, the difference of the amount of polishes will be lost and metal will be lost to a slot. Moreover, the front face becomes flat, the difference of a level difference top (portion from which metal other than a slot is removed), and the bottom of a level difference (a part for a slot, portion in which metal remains as wiring) is small, also for the bottom of a level difference (a part for a slot), an abrasive cloth will contact and metal will be removed by the bird clapper as polish progresses. In realistic pattern size, if two above-mentioned operations become [ the width of face and the level difference for a slot ] larger than the deflection of an abrasive cloth conjointly, the metal for a slot will be removed and it will become the cause of dishing. Furthermore, near the terminal point of polish, when the insulator layer which the metal represented by aluminum is exposed to a slot, and is represented with portions

[ it will be in the state where metal was removed nearly completely in addition to the slot used as wiring, and D), material with a big polish rate will be ground too much. Generally, in the case of aluminum and p-SiO<sub>2</sub>, as a terminal point is passed since the polish speed of aluminum is 5 or more times compared with p-SiO<sub>2</sub> (when it will be in the state where metal was removed nearly completely in addition to the slot used as wiring), aluminum of a slot is ground and dishing becomes larger.

[0009] As this cure against dishing, the method of enlarging the degree of hardness of an abrasive cloth 506 is reported. If a degree of hardness is enlarged, although deformation of an abrasive cloth 506 will be suppressed and dishing will become small, the homogeneity of the polish speed of a substrate inside gets worse. Moreover, with a soft metal [ like aluminum ] whose metal removed by polish is also, by hardening an abrasive cloth, the blemish by abrasive cloths, such as a scratch, occurs on a metal front face, and brings about a poor property.

[0010] As shown in drawing 11 , performing dishing prevention by allotting the field (polish stop section 704) which consisted of different material from the conductive material (aluminum) 703 used for the interior of a slot as wiring or an electrode is proposed by JP.9-148329,A. In addition, in drawing 11 , signs 701,702 are a substrate and p-SiO<sub>2</sub>, respectively.

[0011] About arrangement of this polish stop section 704, to be below fixed distance (for example, 50 micrometers) with the shortest distance from the arbitrary points on the conductive material (aluminum) 703 to the polish stop section 704 or conductive (material aluminum) 703 side attachment wall is demanded. However, in order to prevent dishing, surface ratio with the area of the polish stop section 704 allotted for the area of not only the distance that arranges such the polish stop section 704 but the field which remains as wiring or an electrode, and dishing prevention, and the field area of the polish stop section 704 are important. The case where the surface ratio of the polish stop section 704 allotted to the area of the field 703 which remains as wiring or an electrode for dishing prevention is sufficiently small. When the field area of the polish stop section 704 is not sufficiently large Like Tining which is easy to produce into the portion with which detailed slot wiring was densely located in a line Material with a slow polish speed (for example, p-SiO<sub>2</sub>) cannot fully achieve the function as the polish stop section, but is ground like a conductive material (aluminum), as a result The wiring (electrode) depth of the center of wiring (electrode) decreases as well as dishing, and it leads to the increase in wiring (electrode) resistance. On the other hand, in order to secure the field which fully functions as a polish stop

layer 704, the comparatively big field 704 must be secured in the conductive material field 703, and wiring resistance and wirebonding intensity are affected. Moreover, since the polish stop layer 704 which does not function as wiring (electrode) is in the interior, big wiring width of face and a big electrode must be arranged, and it becomes disadvantageous as a result on a layout. Moreover, when applying the angle of a reflected type liquid crystal device or a mirror electrode to the electrode of the equipment to which this is changed on voltage, since it does not have a reflective function, this polish stop section 704 has the problem of causing the fall of area (numerical aperture) which acts as a reflecting plate.

[0012] this invention aims at providing the possible substrate formation method of being able to prevent dishing, without affecting a layout, and being able to prevent the increase in wiring (electrode) resistance, and the variation of the wiring (electrode) resistance by wiring width of face, and aiming at the improvement in brightness of a display image, and the increase in contrast in an electrode in the wiring by DAMASHIN and the dual DAMASHIN method for having used CMP, or formation of an electrode.

[0013]

invention according to claim 1 The process which forms a layer insulation film on a semiconductor region, and forms a slot in this layer insulation film. It is the substrate formation method of having the process which forms a conductive material film all over a layer insulation film top including a slot, and the process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on a layer insulation film. In the process which forms a conductive material film all over a layer insulation film top including a slot, it is characterized by making larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot.

[0014] Moreover, the process which invention according to claim 2 forms an insulator layer on an active matrix substrate, and forms a slot in this insulator layer. Come out and it is, it has the process which forms a conductive material film all over an insulator layer top including a slot, and the process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on an insulator layer -- In the process which forms a conductive material film all over a layer insulation film top

diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot.

[0015] Moreover, in the substrate formation method according to claim 1 or 2, invention according to claim 3 arranges the film of a membrane type which is different into portions other than a slot and a slot, respectively, or different composition, and is characterized by controlling the mean particle diameter of a conductive material formed on it using ground dependence of this film.

[0016] Moreover, invention according to claim 4 is characterized by enlarging the mean particle diameter of a conductive material formed in a slot by laser radiation in the substrate formation method according to claim 1 or 2.

[0017] Moreover, invention according to claim 5 is characterized by making small the mean particle diameter of a conductive material of portions other than a slot by ion implantation in the substrate formation method according to claim 1 or 2.

[0018]

#### [Embodiments of the Invention]

Hereafter, the operation gestalt of this invention is explained based on a drawing. Drawing 1 is drawing showing the example of a process of the substrate formation method concerning this invention. Reference of drawing 1 forms a slot 103 in the layer insulation film 102

on a semiconductor region (substrate) 101 first (drawing 1 (a)). After an appropriate time, a conductive material film (metal) is formed all over the layer insulation film 102 top including a slot 103 (drawing 1 (b)).

[0019] Under the present circumstances, in this invention, the mean particle diameter of the conductive material (for example, aluminum) 104 formed in a slot 103 is made larger than the mean particle diameter of the conductive material (for example, aluminum) 105 formed in portions other than slot 103. That is, as aluminum film which has a different mean particle diameter by aluminum film into which membrane formation temperature, the lower layer membrane type, and the membrane formation method were changed is formed and the polish speed is shown in drawing 12, as for polish speed, what has a small particle size falls as particle size becomes large early, and polish speed falls extremely by the film near a single crystal. this invention -- \*\*\*\* -- this -- using -- a slot -- 103 -- forming -- having -- conductivity -- material -- (-- aluminum --) -- 104 -- comparing -- polish -- removal -- carrying out -- it should have -- a slot -- except -- a portion -- conductivity -- material -- (-- aluminum --) -- 105 -- a mean particle diameter -- small -- carrying out -- things -- a slot -- 103 -- conductivity -- material -- (-- aluminum --) -- 104 -- grinding -- having -- hard --



carrying out -- \*\*\*\* .

[0020] After carrying out like drawing 1 (b) and forming the conductive material 104,105, it leaves the conductive material 104 in a slot 103, and chemical mechanical polishing (CMP) removes the conductive material 104,105 (drawing 1 (c), (d)). In addition, in the middle of metal removal according [ drawing 1 (c) ] to CMP, metal removal according [ drawing 1 (d) ] to CMP is performed, and signs that the field 106 which functions as wiring or an electrode was formed in the slot 103 are shown, respectively.

[0021] this invention -- \*\*\*\* -- such -- a slot -- 103 -- forming -- having -- conductivity -- material -- (-- aluminum --) -- 104 -- comparing -- polish -- removal -- carrying out -- it should have -- a slot -- except -- a portion -- conductivity -- material -- (-- aluminum --) -- 105 -- a mean particle diameter -- small -- carrying out -- things -- a slot -- 103 -- conductivity -- material -- (-- aluminum --) -- 104 -- grinding -- having -- hard -- dishing -- it can prevent . In addition, as for the difference of the mean particle diameter of the crystal formed in a slot 103, and the crystal formed in portions other than a slot, it is desirable that it is that from which the ratio (polish speed of the polish speed / slot of portions other than a slot) of polish speed becomes 1.5 or

will form a layer insulation film on a semiconductor region, and will form a slot in this layer insulation film if it puts in another way. It is the substrate formation method of having the process which forms a conductive material film all over a layer insulation film top including a slot, and the process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on a layer insulation film. In the process which forms a conductive material film all over a layer insulation film top including a slot, it is characterized by making larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot.

[0023] Moreover, this invention is applicable to formation of an active-matrix substrate. Namely, the process which forms an insulator layer on an active-matrix substrate in this case, and forms a slot in this insulator layer. The process which forms a conductive material film all over [ aforementioned ] an insulator layer top including the aforementioned slot. In the process which has the process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on the aforementioned insulator layer, and forms a conductive

By making larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot, dishing can be similarly prevented with having mentioned above. [0024] Moreover, although [ an above-mentioned example ] the conductive material (metal) 104,105 is aluminum As a conductive material 104,105, by changing membrane formation temperature, a lower layer membrane type, and the membrane formation method That what is necessary is just that in which a film with a different mean particle diameter is formed besides aluminum For example, you may be the alloy which added at least one of Si, Cu, Pb, Ti, Pd, Sr, nickel, Cd, Ta, and the W to the metal containing at least one of Aluminum aluminum, Copper Cu, Silver Ag, Chromium Cr, and Nickel nickel, or this metal.

[0025] Moreover, although the conductive material 104,105 was directly formed in portions other than a slot 103 and a slot, the film of a membrane type which is different into portions other than a slot 103 and a slot, respectively, or different composition may be arranged, and the mean particle diameter of a conductive material formed on it may be controlled by the above-mentioned example using ground dependence of a film. For example, a TiN film can be arranged on a slot 103, Ti film can be arranged on portions other

than a slot, and the mean particle diameter of a conductive material can also be controlled by forming a conductive material on these films. More concretely, a TiN film can be arranged on a slot 103, Ti film can be arranged on portions other than a slot, and the alloy of aluminum or aluminum can be used as a conductive material.

[0026] Or the mean particle diameter of a conductive material formed in a slot 103 can also be enlarged by laser radiation.

[0027] Or the mean particle diameter of a conductive material of portions other than a slot can also be made small by ion implantation.

[0028]

[Example] Hereafter, the example of this invention is explained.

[0029] Substrate formation (wiring formation) was performed in the example 1 example 1. Drawing 3 is drawing showing the example of a process of the substrate formation (wiring formation) by the example 1. First, under formation of the semiconductor substrate 201, more concretely, contact was formed in this, W was embedded and the substrate 201 took after forming a semiconductor with well-known technology in the example 1 using lithography and etching. Thus, after forming the semiconductor substrate 201, the tetrapod ethoxy silane (TEOS) was used for this upper layer, and the silicon oxide 202 as a layer insulation film was formed in it by the thickness of

600nm in plasma CVD. Subsequently, after applying the photoresist 209 and exposing this, the slot 203 (a depth of 600nm) in which wiring should be formed in the anisotropic etching using  $\text{CHF}_3$  and  $\text{C}_2\text{F}_6$  was formed ( drawing 3 (a)).

[0030] Subsequently, after performing degasifying processing for 1 minute at the temperature of 500 degrees C and performing 20nm reverse sputter cleaning by thermal oxidation film conversion, in the long distance sputter (LTS) which detached a substrate and the distance between targets, the Ti film 207 was formed in thickness of 30nm, and, subsequently to the thickness of 40nm, the TiN film 208 was formed ( drawing 3 (b)).

[0031] Next, the TiN film 208 of portions other than slot 203 was removed in chemical mechanical polishing (CMP) ( drawing 3 (c)). The equipment of Westech372M is used, in addition -- as CMP -- the product made from IPEC-PLANAR -- as a slurry of primary polish What mixed 30% hydrogen-peroxide-solution  $\text{H}_2\text{O}_2$  with QCTT1010 made from Rodel by 1:1 just before polish is used. Moreover, that in which SUBA-400 carried out the laminating to IC-1000 made from Rodel as a pad is used, and it is Supreme made from pure water and Rodel about secondary polish. It carried out using the

CMP polish. About removal of the TiN film 208, to 40nm of thickness of the TiN film 208, since the level difference by the slot was as large as 600nm, dishing was not produced.

[0032] Subsequently, after performing degasifying processing for 3 minutes at the temperature of 550 degrees C, performing 5nm reverse sputter cleaning by thermal oxidation film conversion and forming aluminum-0.5% Cu at 450 degrees C, metal (aluminum-0.5% Cu) was embedded in the detailed slot, having applied high pressure ( drawing 3 (d)). aluminum-0.5% Cu of thickness could be 800nm, since, as for portions other than a slot, the TiN film 208 is removed by the TiN film 208 being formed by the side attachment wall and pars basilaris ossis occipitalis of a slot and it has become the Ti film 207 at this time -- the number of width of face -- the metal 204 whose mean particle diameter is about 10 micrometers was formed in a part for the latus slot of 100 micrometers and width of face, and the metal 205 of about 3-micrometer mean particle diameter was formed in portions other than the slot which should be removed

[0033] In addition, although TiN and Ti were used as a film which controls particle size here What added a fluorine, boron, Lynn, etc, to oxide films, such as night RAIDO films, such as metal

the upper metal particle size is also controllable combining the membrane type from which organic films, such as the silicon oxide and polyimide which are called inorganic [ which consists of a silanol, a siloxane, etc. ], and organic [ SOG ], and acrylic resin, etc. differed. Furthermore, the upper metal particle size is also controllable also by the same membrane type, such as changing the composition ratio of Ti and N in TiN, changing the composition.

[0034] The equipment of Westech372M is used. subsequently, the process of drawing 3 (c) -- the same -- carrying out -- the product made from IPEC-PLANAR -- as a slurry of primary polish What mixed 30% hydrogen-peroxide-solution H<sub>2</sub>O<sub>2</sub> with QCTT1010 made from Rodel by 1:1 just before polish is used. Moreover, that in which SUBA-400 carried out the laminating to IC-1000 made from Rodel as a pad is used. Moreover, it is Supreme made from pure water and Rodel about secondary polish. Except for the inside of a slot, metal (aluminum-Cu) and the Ti film 207 were removed using the RNH pad (drawing 3 (e)). Here, it is Down. Force:7.0psi, Platen Speed:50rpm. Carrier It is the conditions of Speed:40rpm and the polish speed of the aluminum-Cu film on the TiN film 208 equivalent to a slot pars basilaris ossis occipitalis (about 10 micrometers of mean particle diameters) is a part for about 140nm/. The polish speed of the

aluminum-Cu film on the Ti film 207 after the polish which corresponds on the other hand in addition to a slot (about 3 micrometers of mean particle diameters) is 1:2.1, and its polish speed for a slot is [ about 300nm a part for /and its ratio ] slower. In this case, it checked that dishing in aluminum polish was 20nm or less. Therefore, the increase in wiring resistance and the variation of wiring resistance by dishing can be suppressed. Moreover, the multilayer interconnection which the depth of focus of lithography was not pressed, either and turned minutely becomes possible.

[0035] Since the width of face of a slot is substantially influenced of the width of face of a slot about a portion 10 micrometers or less, although particle size is smaller than 10 micrometers, an abrasive cloth does not follow depression of such small width of face, and the width of face of a slot is embedded by metal about the double-precision grade of the amount of metal membrane formation at it, it becomes a flat completely, and the depression for a slot is not seen.

[0036] In the example 2 example 2, the reflected type active-matrix liquid crystal display was created. Drawing 4 is drawing for explaining the production process of an example 2 reflection-type active-matrix liquid crystal display. In addition, a this reflection type active-matrix liquid crystal display is formed corresponding to the intersection

of two or more signal lines and two or more scanning lines, it has a means to impress voltage to the pixel electrode which consists of metals, and the pixel pitch has been 300 micrometers.

[0037] In the example 2, well-known technology, first, on the glass substrate 802 with a thickness of 1.1mm, the tantalum Ta metal of 300nm thickness is formed by the sputter, by photo lithography and etching, patterning is performed and a gate electrode and gate bus wiring are formed. Subsequently, the silane SiH<sub>4</sub>, the amorphous silicon thin film (a-Si) with a thickness of 100nm which formed membranes by the plasma CVD using hydrogen H<sub>2</sub>, and the n+ type a-Si layer with a thickness of 50nm is thin in a contact layer behind were formed in continuation after forming the gate insulator layer 803 which consists of a silicon nitride SiN<sub>x</sub> by plasma CVD (chemical vapor growth). Patterning of an n+ type a-Si layer and the a-Si layer is carried out, in a sputter, aluminum is formed, patterning is performed, the source electrode 805 and the drain electrode 804, and the source bus wiring 806 are formed, and TFT (TFT) 801 is completed.

[0038] Subsequently, in the plasma CVD using TEOS, SiO<sub>2</sub> film 808 was formed in the thickness of 1.5 micrometers, and CMP performed flattening, in addition --

SUBA-400 carried out the laminating to IC-1000 made from Rodel as a pad using SS-12 made from Cabot using the equipment of Westech372M as a slurry of primary polish -- using -- as secondary polish -- Supreme made from pure water and Rodel It carried out using the RNH pad.

[0039] Washing by HF and the brush scrub was performed 1% after CMP polish. The resist was applied to the upper part, it exposed using the mask for pixel electrodes first, development and patterning were performed, and the slot 809 which serves as a pixel electrode by CHF<sub>3</sub> and the dry etching using C<sub>2</sub>F<sub>6</sub> was formed. The depth of a slot 809 was set to 400nm. Then, resist ablation was performed. Subsequently, for beer hall formation, the resist application was carried out again, patterning was performed, and the beer hall 810 was formed by dry etching.

[0040] Then, resist ablation was carried out, 500 degrees C, degasifying for 60 seconds, and after performing 20nm reverse sputter cleaning by oxide-film conversion, continuously, the TiN film was formed in thickness of 20nm, subsequently to the thickness of 600nm the aluminum:0.5%Cu metal 811 was formed, and the slot 809 and the beer hall 810 were embedded simultaneously. In addition, at this time, the membrane

mean particle diameter of aluminum did not ask a slot 809 and except slot 809, but was set to about about 1 micrometer.

[0041] Subsequently, absorption of aluminum irradiated preponderantly the center of the slot 809 equivalent to the pixel electrode 811 using the ArF laser which is the high wavelength of 193nm (carrying out the scan of the laser beam and irradiating only a particular part), and increased aluminum particle size. At this time, the diameter increase of crystal grain is promoted more by preparing TiN in the ground. Thereby, aluminum particle size for the slot 809 equivalent to the pixel electrode 811 turned into about 8-micrometer mean particle diameter.

Here, although ArF laser was used, you may use other laser for partial heating.

[0042] The equipment of Westech372M is used, the product made from after an appropriate time and IPEC-PLANAR -- as a slurry of primary polish What mixed 30% hydrogen peroxide solution H2O2 with QCTT1010 made from Rodel by 1:1 just before polish is used. Moreover, that in which SUBA-400 carried out the laminating to IC-1000 made from Rodel as a pad is used, and it is Supreme made from pure water and Rodel about secondary polish. Except for the inside of a slot, aluminum-Cu and Ti film were removed using the RNH pad. Here, it is Down, Force:7.0psi, Platen Speed:50rpm, Carrier The polish speed of the aluminum-Cu film (about 1 micrometer of

mean particle diameters) which corresponds on condition that Speed:40rpm to the polish speed of the aluminum-Cu film (about 8 micrometers of mean particle diameters) equivalent to a slot in addition to a slot is the ratio of 1:2.5, and its polish speed for a slot is slower. In this case, it checked that dishing in aluminum polish was 10nm or less. Thus, by the dual DAMASHIN method, the pixel electrode 811 and the beer hall 810 could be formed simultaneously, at the fewer process, it was very flat and the pixel electrode which can contribute to the improvement in brightness and the increase in contrast in a display image was able to be produced.

[0043] In addition, in an above-mentioned example, this invention is applied to production of the switching element of an active-matrix liquid crystal display, and it is a-Si. Although the case where TFT was used was explained, this invention is applicable also to 2 terminal driver elements, such as TFT and MIM (Metal Insulator Metal) using contest polysilicon, single crystal silicon, etc., and a varistor. Moreover, in an above-mentioned example, although glass was used as a substrate, the insulating substrate which consists of plastics, such as a quartz substrate, and PC (polycarbonate), PES (polyether sulphone), PI (polyimide), PET (polyethylene terephthalate), can also be

used. [ Si wafer and ]

[0044] Moreover, although the display device which used liquid crystal material was mentioned as the example in the above-mentioned example, application of this invention is not restricted to this and can be applied also to the electrode of the equipment to which the angle of a mirror electrode is changed with voltage, wiring, and pad structure.

[0045] The multilayer interconnection which turned minutely was formed in the example 3 example 3. By the example 3, like the example 1, on the detailed substrate 901 in which the semiconductor was formed of an example 3, lithography and etching were used, contact was formed, drawing 5 embedded W, and it is drawing for explaining the production process of a multilayer interconnection which turned, and it formed [ it used the tetrapod ethoxy silane (TEOS) for the upper layer of this substrate 901, and [ the layer insulation film (silicon oxide) 902 in it by the thickness of 500nm at plasma CVD. Furthermore, it resist-applied, and exposed and the slot field 903 (a depth of 500nm) which is wiring in CHF<sub>3</sub> and the anisotropic etching using C<sub>2</sub>F<sub>6</sub> was formed.

[0046] Subsequently, in the long distance spatter (LTS) which detached a substrate and the distance between targets after performing degasifying processing for 3

spatter cleaning by thermal oxidation film conversion, the TiN film was formed in thickness of 40nm, and after forming the aluminum-0.5%Cu metal 904 at 450 degrees C continuously, metal was embedded in the detailed slot 903, having applied high pressure. The thickness of the aluminum-0.5%Cu film 904 could be 700nm. At this time, aluminum-0.5% Cu of mean particle diameter was set to about 10 micrometers in the slot 903 and the other portion except for the detailed slot.

[0047] All the slot portions that are equivalent to wiring at the upper layer of this aluminum-0.5%Cu film 904 were covered by the photoresist 905. The state at this time is shown in drawing 5 . On the left-hand side of drawing 5 , about the flute width about [ of aluminum-0.5% Cu of thickness [ double precision Since ion is not poured in to the portion which functions as wiring even if aluminum-0.5% Cu is embedded completely, and depression of aluminum-0.5% Cu is not seen but there is no resist mask. Even if it does not cover by the resist, it is not necessary to be an expensive aligner for forming a detailed pattern satisfactory therefore, and it is good at cheaper and easy rough exposure.

[0048] Furthermore, even if impurity ion is poured in, as long as it is satisfactory to the electrical property and

more than a certain line breadth from which dishing poses a problem (for example, 20 micrometers or more) by the resist so that it may become a mask. Then, phosphorus ion is poured in pouring energy 100keV and five E15/cm<sup>2</sup> of doses. The impurity ion to pour in and its dose are adjusted so that sufficient amount to make amorphous an argon, silicon, oxygen, nitrogen, and arsenic and other metal may be poured in and ion may be poured into a position which does not have influence in a lower layer by an ion kind and metal thickness about pouring energy. With the ion implantation, aluminum other than the slot removed by CMP was able to be made amorphous.

[0049] Subsequently, it grinds on the same conditions as an example 1 and an example 2, and the ratio of the polish speed of aluminum-Cu films other than a slot (amorphous) is 1:3 to the polish speed of the aluminum-Cu film (about 10 micrometers of mean particle diameters) of a slot pars basilaris ossis occipitalis, and the polish speed for a slot is slow. In this case, it checked that dishing in aluminum polish was 10nm or less. Therefore, the increase in wiring resistance and the variation of wiring resistance by dishing can be suppressed. Moreover, the multilayer interconnection which the depth of focus of lithography was not pressed, either and turned minutely becomes possible.

[0050] Moreover, when a mask is not carried out to all wiring by the resist, although fault is produced in electromigration resistance in order that a certain specific line breadth which did not carry out a mask by the resist more than from the double precision of metal membrane formation width of face may make it amorphous with an ion implantation, it is also possible to recover crystallinity by the annealing processing after polish etc.

[0051]

[Effect of the Invention] The process which according to invention of a claim 1 forms a layer insulation film on a semiconductor region, and forms a slot in this layer insulation film as explained above. The process which forms a conductive material film all over [aforementioned] a layer insulation film top including the aforementioned slot. In the process which is the substrate formation method of having the process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on the aforementioned layer insulation film, and forms a conductive material film all over [aforementioned] a layer insulation film top including a slot By being made to make larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot, and changing



the particle size of a conductive material with portions other than a slot and a slot, polish speed can be controlled and dishing of wiring or an electrode can be prevented. That is, in the wiring by DAMASHIN and the dual DAMASHIN method using CMP, or formation of an electrode, dishing can be prevented without affecting a layout, and the increase in wiring resistance can be suppressed by this, and variation in the wiring resistance by line breadth can be made small, and stabilization of a device and the high yield can be planned. Moreover, poor wirebonding is lost in the pad section. Furthermore, in the case of a reflector, a very flat reflecting plate can be obtained, the brightness of a display image can be raised, and contrast can be made to increase to it.

[0052] Moreover, the process which according to invention of a claim 2 forms an insulator layer on an active-matrix substrate, and forms a slot in this insulator layer. The process which forms a conductive material film all over [aforementioned] an insulator layer top including the aforementioned slot. In the process which is the substrate formation method of having the process which leaves a conductive material in a slot by chemical mechanical polishing, and removes the conductive material film on the aforementioned insulator layer, and

top including a slot. By being made to make larger than the mean particle diameter of a conductive material formed in addition to a slot the mean particle diameter of a conductive material formed in a slot, and changing the particle size of a conductive material of portions other than a slot and a slot, polish speed can be controlled and dishing of wiring or an electrode can be prevented. By this, the increase in wiring resistance can be suppressed, and variation in the wiring resistance by line breadth can be made small, and stabilization of a device and the high yield can be planned. Moreover, poor wirebonding is lost in the pad section. Furthermore, in the case of a reflector, a very flat reflecting plate can be obtained, the brightness of a display image can be raised, and contrast can be made to increase to it.

[0053] Moreover, according to invention of a claim 3, the film of a membrane type which is different into portions other than a slot and a slot, respectively, or different composition is arranged, and the operation effect of a claim 1 and a claim 2 can be acquired by controlling the mean particle diameter of a conductive material formed on it using ground dependence of this film, securing the reliability of wiring.

[0054] Moreover, according to invention of a claim 4, the operation effect of a

conductive material formed in a slot by laser radiation, without increasing processes, such as lithography.  
 [0055] Moreover, according to invention of a claim 5, a substrate can be collectively processed by making small the mean particle diameter of a conductive material of portions other than a slot by ion implantation, and the operation effect of a claim 1 and a claim 2 can be acquired by the high throughput.

---

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] It is drawing showing the example of a process of the substrate formation method concerning this invention.

[Drawing 2] It is drawing showing the relation between a mean particle diameter and polish speed.

[Drawing 3] It is drawing showing the example of a process of the substrate formation by the example 1.

[Drawing 4] It is drawing for explaining the production process of an example 2 reflection-type active-matrix liquid crystal display.

[Drawing 5] It is drawing for explaining the production process of the wiring between layers which is an example 3 and which turned minutely.

[Drawing 6] It is drawing showing the wiring formation method by the conventional DAMASHIN method.

[Drawing 7] It is drawing for explaining the dual DAMASHIN method.

[Drawing 8] It is drawing for explaining chemical mechanical polishing.

[Drawing 9] It is drawing for explaining dishing.

[Drawing 10] It is drawing showing the relation between wiring width of face and dishing.

[Drawing 11] It is drawing for explaining the Prior art which meant preventing dishing.

##### [Description of Notations]

101 Semiconductor Substrate

102 Layer Insulation Film

103 Slot

104,105 Conductive material

106 Field Which Functions as Wiring or an Electrode

201 Semiconductor Substrate

202 Layer Insulation Film

203 Slot

204,205 Metal (aluminum-Cu)

206 Field Which Functions as Wiring or an Electrode

207 Ti Film

208 TiN Film

209 Photoresist

801 TFT (TFT)

802 Glass Substrate

803 Insulator Layer

809 Slot

810 Beer Hall

811 Pixel Electrode

901 Substrate

902 Layer Insulation Film

903 Slot

904 Aluminum-Cu Film

905 Photoresist

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-21885

(P2000-21885A)

(43) 公開日 平成12年1月21日(2000.1.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	B 2 H 0 9 2
G 0 2 F 1/1343		G 0 2 F 1/1343	5 F 0 3 3
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 X

審査請求 未請求 請求項の数 5 F D (全 10 頁)

(21) 出願番号 特願平10-201180

(22) 出願日 平成10年7月1日(1998.7.1)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 鈴木 幸栄

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(74) 代理人 100090240

弁理士 植本 雅治

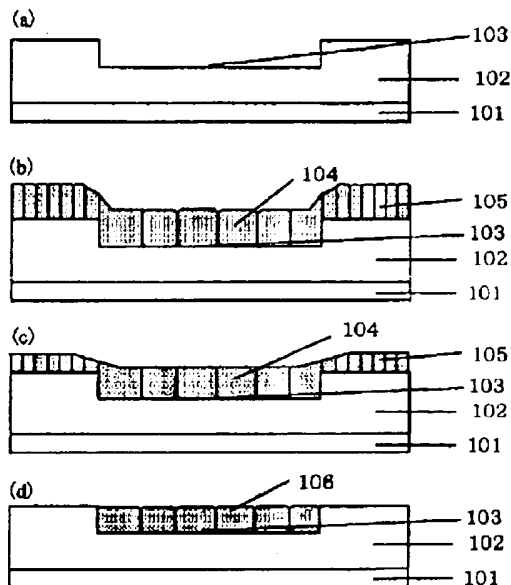
最終頁に続く

(54) 【発明の名称】 基板形成方法

(57) 【要約】

【課題】 CMPを用いたダマシンおよびデュアルダマシン法による配線あるいは電極の形成において、レイアウトに影響を与えることなくデッシングを防止する。

【解決手段】 半導体領域101上の層間絶縁膜102に溝103を形成する工程と、溝部103を含んで層間絶縁膜102上全面に導電性材料膜を形成する工程と、層間絶縁膜102上の導電性材料膜を化学的機械研磨により溝部103内の導電性材料を残して除去する工程とを有し、溝部103を含んで層間絶縁膜102上全面に導電性材料膜を形成する工程において、溝部103に形成される導電性材料104の平均粒径を溝部103以外に形成される導電性材料105の平均粒径よりも大きくする。



## 【特許請求の範囲】

【請求項1】 半導体領域上に層間絶縁膜を形成し、該層間絶縁膜に溝を形成する工程と、前記溝部を含んで前記層間絶縁膜上に全面に導電性材料膜を形成する工程と、前記層間絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有する基板形成方法であって、溝部を含んで前記層間絶縁膜上に全面に導電性材料膜を形成する工程において、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径よりも大きくすることを特徴とする基板形成方法。

【請求項2】 アクティブマトリクス基板上に絶縁膜を形成し、該絶縁膜に溝を形成する工程と、前記溝部を含んで前記絶縁膜上に全面に導電性材料膜を形成する工程と、前記絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有する基板形成方法であって、溝部を含んで前記層間絶縁膜上に全面に導電性材料膜を形成する工程において、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径よりも大きくすることを特徴とする基板形成方法。

【請求項3】 請求項1または請求項2記載の基板形成方法において、溝部と溝部以外の部分とにそれぞれ異なる膜種もしくは異なる組成の膜を配し、該膜の干渉依存を用いて、その上に形成される導電性材料の平均粒径を制御することを特徴とする基板形成方法。

【請求項4】 請求項1または請求項2記載の基板形成方法において、溝部に形成される導電性材料の平均粒径を、レーザ照射によって、大きくすることを特徴とする基板形成方法。

【請求項5】 請求項1または請求項2記載の基板形成方法において、溝部以外の部分の導電性材料の平均粒径を、イオンビームエッチングにより小さくすることを特徴とする基板形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、絶縁膜に形成されている溝もしくは、溝とビアホールと導電性材料膜を埋め込みで、化学的機械研磨(CMP)を用いて、配線もしくは電極として機能する導電性材料膜を形成する基板形成方法に関する。

## 【0002】

【従来の技術】 近年、半導体装置では、配線の微細化や多層化、低コスト化のために、金属膜のドライエッチングを用いて、化学的機械研磨(CMP)を用いたダマシ

成されたA1膜をCMPにより除去し、溝がA1で埋め込まれた構造の配線層(埋め込みアルミ配線)306を得る(図6(b))という技術である。なお、図3において、符号301は、シリコン基板である。

【0003】 また、低コスト化のために、図7に示すように、配線としての溝403と上層配線404との接続となるビアホール406を形成し(図7(a))、それを同時に金属膜407で埋め込み(図7(b))、同時に化学的機械研磨にて、溝およびビアホール以外の金属膜を除去することによって(図7(c))、工程数を削減し、多層配線を形成するデュアルダマシン(Dual Damascene)が注目されている。なお、図7において、符号401、402、405は、それぞれ、基板、層間絶縁膜、フォトンダマシンである。

【0004】 これらの方法は、配線あるいは電極の低抵抗化の要求に対して、ドライエッチングが困難な銅に対しても有望視されている。

【0005】 CMPは、研磨液中に含まれる化学成分による化学的エッチング作用と、機械的研磨作用とを利用して研磨を行なう。CMPのプロセスとしては、図8に示すように、研磨されるべき基板504を回転可能な研磨ヘッド502にキャリアサブスト503を介して取り付け、回転するワフラー(研磨定盤)501に基板504の表面を押し付けることにより、研磨を行なう。ワフラー501の表面には、パッド(研磨布)506が張り付けられており、このパッド506に付着した研磨剤(研磨剤)505によって研磨が進む。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上述のダマシンやデュアルダマシン法によって配線あるいは電極を形成する方法では、図9に示すように、A1配線(あるいは電極)603の中央部がぼろけ現象(ブロー)と呼ばれる現象が生じてしまう。なお、図9において、符号601、602は、それぞれ、基板、層間絶縁膜である。

【0007】 このブロー現象は、図10に示すように、A1配線の線幅(配線幅)が小さい部分では問題ないが、線幅が大きい方には生じやすくなり、幅が0.0μmでは、3.00μm以上のブローが生じやすくなる。従って、ドライエッチングを行なうパッド部のように、数1.00μmのA1電極では、ブロー現象によって中央部のA1が除去されワイヤボンド現象に不良が発生する場合がある。また、A1配線でも幅の広い電源ライン等では、このブロー現象が生じ、中央部の配線深さが小さくなり、配線抵抗が増加して、素子特性の

【0008】このデレンシングは、研磨布506が有限の硬さを持っているため、溝幅が広くなるに従って、溝底部においても研磨布506がメタルと接触する圧力が大きくなり、極端な場合、幅数mmにわたる溝の底部は、溝以外の凸部とほぼ同じ圧力となり、等しい研磨速度となってしまう。従って、極端に幅の広い溝部と溝以外の部分とで、研磨量の差がなくなり、溝部にメタルがなくなってしまう。また、研磨が進むにつれて、表面は平坦になっていき、段差上(溝以外のメタルが除去される部分)と段差下(溝部分、配線としてメタルが残る部分)との差が小さくなることによって、段差下(溝部分)も研磨布が接触し、メタルが除去されてしまう。現実的なパターンサイズでは、上記2つの作用が相まって、溝部分の幅と段差が研磨布のたわみより大きくなると、溝部分のメタルが除去され、デレンシングの原因となる。さらに、研磨の終点付近では(配線として使用する溝以外において、メタルがほぼ完全に除去された状態となるとき)、溝部にはA1に代表されるメタルが露出し、また、溝以外の部分では、 $p-SiO_2$ に代表される絶縁膜が露出し、これらのCMPの研磨レートが異なる場合、研磨レートの大きな材料が十分に研磨されてしまう。一般に、A1と $p-SiO_2$ の場合では、 $p-SiO_2$ に比べて、A1の研磨速度が5倍以上であるため、終点(配線として使用する溝以外において、メタルがほぼ完全に除去された状態となるとき)を過ぎれば過ぎるほど溝部のA1が研磨され、デレンシングが大きくなる。

【0009】このデレンシング対策としては、研磨布506の硬度を大きくする方法が報告されている。硬度を大きくすると、研磨布506の変形が抑制され、デレンシングは小さくなるが、基板内面の研磨速度の均一性が悪化する。また、研磨によって除去されるメタルも、A1のような柔らかい金属では、研磨布を硬くすることによって、スクラッチなど研磨布による傷がメタル表面に発生し、特性不良をもたらす。

【0010】特開平9-148329号には、図11に示すように、溝内部に配線あるいは電極として用いる導電性材料(A1)703とは異なる材料で構成された領域(研磨ストップ部704)を配線することでデレンシング防止を行なうことが提案されている。なお、図11において、符号701、702は、それぞれ、基板、 $p-SiO_2$ である。

【0011】この研磨ストップ部704の配置に関しては、導電性材料(A1)703上の任意の点から研磨ストップ部704あるいは導電性材料(A1)703側壁までの最短の距離がある一定距離(例えば50nm)以下であることが要求されている。しかしながら、デレンシングを防止するためには、このような研磨ストップ部704を配置する距離がけでなく、配線あるいは電極として残る領域の面積とデレンシング防止のために配した研磨ス

ストップ部704の面積との面積比と、研磨ストップ部704の領域面積とが重要である。配線あるいは電極として残る領域703の面積に対してデレンシング防止のために配した研磨ストップ部704の面積比が十分小さい場合や、研磨ストップ部704の領域面積が十分大きくない場合には、微細溝配線が密に並んだ部分に生じやすいFinishingと同様に、研磨速度の遅い材料(例えば $p-SiO_2$ )が研磨ストップ部としての機能を十分に果たせず、導電性材料(A1)と同様に研磨され、結果的には、デレンシングと同じく配線(電極)中央の配線(電極)深さが減少してしまい、配線(電極)抵抗の増加につながる。一方、研磨ストップ層704として十分に機能する領域を確保するには、比較的大きな領域704を導電性材料領域703内に確保しなければならず、配線抵抗やワイヤボンドデレンシング強度に影響を与える。また、内部に配線(電極)として機能しない研磨ストップ層704があるため、結果としてより大きな配線幅や電極を配置しなければならず、レイアウト上、不利となる。また、これを反射型の液晶デバイスやミラー電極の角度を電圧にて変化させる装置の電極に適用する場合においては、この研磨ストップ部704は、反射の機能を持たないため、反射板として作用する面積(開口率)の低下を招くという問題がある。

【0012】本発明は、CMPを用いたダレンスおよびデュアルダレンス法による配線あるいは電極の形成において、レイアウト上、影響を与えることなくデレンシングを防止し、配線(電極)抵抗の増加および配線幅による配線(電極)抵抗の増加を防止することができ、また、電極においては、表示画像の輝度向上、コントラストの増加を図ることの可能な基板形成方法を提供することを目的としている。

#### 【0013】

【課題を解決するための手段】上記目的を達成するためには、請求項1記載の発明は、半導体領域上に層間絶縁膜を形成し、該層間絶縁膜に溝を形成する工程と、溝部を含んで層間絶縁膜上全面に導電性材料膜を形成する工程と、層間絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有する基板形成方法であって、溝部を含んで層間絶縁膜上全面に導電性材料膜を形成する工程において、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径よりも大きくすることを特徴としている。

【0014】また、請求項2記載の発明は、アクティブマトリクス基板上に絶縁膜を形成し、該絶縁膜に溝を形成する工程と、溝部を含んで絶縁膜上全面に導電性材料膜を形成する工程と、絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有しているであって、溝部を含んで層間絶縁膜上全面に導電性材料膜を形成する工程において、溝部に形

成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径よりも大きくすることを特徴としている。

【0015】また、請求項3記載の発明は、請求項1または請求項2記載の基板形成方法において、溝部と溝部以外の部分とにそれぞれ異なる膜種もしくは異なる組成の膜を配し、該膜の干地依存を用いて、その上に形成される導電性材料の平均粒径を制御することを特徴としている。

【0016】また、請求項4記載の発明は、請求項1または請求項2記載の基板形成方法において、溝部に形成される導電性材料の平均粒径を、レーザー照射によって、小さくすることを特徴としている。

【0017】また、請求項5記載の発明は、請求項1または請求項2記載の基板形成方法において、溝部以外の部分の導電性材料の平均粒径を、イオンインプラネーションにより小さくすることを特徴としている。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。図1は本発明に係る基板形成方法の工程例を示す図である。図1を参照すると、まず、半導体領域(基板)101上の層間絶縁膜102に溝部103を形成する(図1(a))。しかる後、溝部103を含んで層間絶縁膜102上全面に導電性材料膜(メタル)を形成する(図1(b))。

【0019】この際、本発明では、溝部103に形成される導電性材料(例えば、A1)104の平均粒径を、溝部103以外の部分に形成される導電性材料(例えば、A1)105の平均粒径よりも大きくする。すなわち、成膜温度や層膜種、成膜方法を変えたA1膜では、異なる平均粒径を持つA1膜が形成され、その研磨速度は、図1(c)に示すように、粒径が小さいもの程、早く、粒径が大きくなるに従って、研磨速度は低下し、単結晶に近い膜では極端に研磨速度が低下する。本発明では、このことを利用して、溝部103に形成される導電性材料(A1)104に対し、研磨除去されるべき溝部以外の部分の導電性材料(A1)105の平均粒径を小さくすることによって、溝部103の導電性材料(A1)104を研磨されにくくしている。

【0020】図1(b)のようにして導電性材料104、105を形成した後、化学的機械研磨(CMP)によって、導電性材料104、105を溝部103内の導電性材料104を残して除去する(図1(c)、(d))。なお、図1(c)はCMPによるメタル除去の途中、図1(d)はCMPによるメタル除去が行われ、溝部103内に配

粒径を小さくすることによって、溝部103の導電性材料(A1)104が研磨されにくく、デイスパージを防止できる。なお、溝部103に形成される結晶と溝部以外の部分に形成される結晶の平均粒径の差は、研磨速度の比(溝部以外の部分の研磨速度/溝部の研磨速度)が1.5以上となるようなものであるのが望ましい。

【0022】換言すれば、本発明は、半導体領域上に層間絶縁膜を形成し、該層間絶縁膜に溝を形成する工程と、溝部を含んで層間絶縁膜上全面に導電性材料膜を形成する工程と、層間絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有する基板形成方法であって、溝部を含んで層間絶縁膜上全面に導電性材料膜を形成する工程において、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径よりも大きくすることを特徴としている。

【0023】また、本発明は、アクティブマトリクス基板の形成に適用することができる。すなわち、この場合、アクティブマトリクス基板上に絶縁膜を形成し、該絶縁膜に溝を形成する工程と、前記溝部を含んで前記絶縁膜上全面に導電性材料膜を形成する工程と、前記絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有し、溝部を含んで前記層間絶縁膜上全面に導電性材料膜を形成する工程において、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径よりも大きくすることによって、前述したと同様にデイスパージを防止できる。

【0024】また、上述の例では、導電性材料(メタル)104、105がA1であるとしたが、導電性材料104、105としては、成膜温度や層膜種、成膜方法を変えることによって、異なる平均粒径をもつ膜が形成されるものであれば良く、A1以外にも、例えば、アルミニウムAl、銅Cu、銀Ag、クロムCr、ニッケルNiのうち少なくとも1つを含む金属、あるいは、該金属にSn、Cu、Pb、Ti、Pd、Sr、Ni、Co、Ta、Wの少なくとも1つを添加した合金であっても良い。

【0025】また、上述の例では、溝部103を溝部以外の部分とに、直接、導電性材料104、105を形成したが、溝部103と溝部以外の部分とにそれぞれ異なる膜種もしくは異なる組成の膜を配し、膜の干地依存を用いて、その上に形成される導電性材料の平均粒径を制御しても良い。例えば、溝部103にTiN膜を配し、溝部以外の部分にTi膜を配し、これらの膜の上に、導

【0026】あるいは、溝部103に形成される導電性材料の平均粒径を、レーザー照射によって、小さくすることもできる。

【0027】あるいは、溝部以外の部分の導電性材料の平均粒径を、イオンインプラネーションにより小さくすることもできる。

【0028】

【実施例】以下、本発明の実施例を説明する。

【0029】実施例1

実施例1では、基板形成(配線形成)を行なった。図3は実施例1による基板形成(配線形成)の工程例を示す図である。実施例1では、まず、公知の技術によって、半導体基板201を形成した。より具体的に、例えば、半導体形成後、リンガラスコートとエッチングを用いて、これにコンタクトを形成し、Wを埋め込み、基板201とした。このようにして半導体基板201を形成した後、この上層に、テトラエトキシラン(TEOS)を用いてプラズマCVDにて層間絶縁膜としてのシリコン酸化膜202を600nmの厚さで形成した。次いで、フォトリソレジスト209を塗布してこれを露光した後、 $\text{CHF}_3$ と $\text{C}_2\text{F}_6$ を用いた異方性エッチングにて配線が形成されるべき溝部203(深さ600nm)を形成した(図3(a))。

【0030】次いで、500℃の温度で1分間の脱ガス処理を行ない、熱酸化膜換算で20nmの逆スパッタリングを行なった後は、基板とターゲット間距離を離れた遠距離スパッタ(LTS)にて、Ti膜207を30nmの厚さに成膜し、次いで、TiN膜208を40nmの厚さに成膜した(図3(b))。

【0031】次に、化学的機械研磨(CMP)にて溝部203以外の部分のTiN膜208を除去した(図3(c))。なお、CMPとしては、IPEC-PLANAR社製Westech372Mの装置を用い、1次研磨のフレイヤーとして、Rodel社製のQC11010と30%過酸化水素水 $\text{H}_2\text{O}_2$ を研磨直前に1:1で混ぜたものを用い、また、パッドとしてRodel社製のIC-1000とSUBA-400の積層したものを用い、また、2次研磨を、純水とRodel社製のSupreme-RNHパッドを用いて行なった。CMP研磨後、薬液とブラシスクラブによる洗浄を行なった。TiN膜208の除去に関しては、TiN膜208の膜厚40nmに対して、溝による段差は600nmと大きいので、セーリングは生じなかった。

【0032】次いで、550℃の温度で3分間の脱ガス処理を行ない、熱酸化膜換算で5nmの逆スパッタリングを行なった後は、 $\text{Al}-0.5\%\text{Cu}$ を450℃で成膜した後、高圧をかけて微細な溝にメタル( $\text{Al}-0.5\%\text{Cu}$ )を埋め込んだ(図3(d))。 $\text{Al}-0.5\%\text{Cu}$ の膜厚は、800nmとした。このとき溝の側壁および底部には、TiN膜208が成膜されており、

溝以外の部分は、TiN膜208が除去されTi膜207となっているため、幅数100 $\mu\text{m}$ と幅の広い溝部分には、平均粒径が約10 $\mu\text{m}$ のメタル204が形成され、除去されるべき溝以外の部分には、約3 $\mu\text{m}$ の平均粒径のメタル205が形成された。

【0033】なお、ここでは、粒径を制御する膜としてTiNとTiを用いたが、W、Taなどの金属膜、SiN、Ta<sub>2</sub>Nなどのナイトライド膜、シリコン酸化膜などのサキサイト膜やそれにフッ素やホウ素、リンなどを添加したもの、またシラノールやシロキサンなどからなる無機や有機SOGと呼ばれるシリコン酸化膜、ポリイミドやアクリル樹脂などの有機膜など異なった膜種を組み合わせて、上層のメタル粒径を制御することもできる。さらに、TiNにおけるTiとNの組成比を変えるなど、同一膜種でもその組成を変えることで、上層のメタル粒径を制御することもできる。

【0034】次いで、図3(c)の工程と同様にして、IPEC-PLANAR社製Westech372Mの装置を用い、1次研磨のフレイヤーとして、Rodel社製のQC11010と30%過酸化水素水 $\text{H}_2\text{O}_2$ を研磨直前に1:1で混ぜたものを用い、また、パッドとしてRodel社製のIC-1000とSUBA-400の積層したものを用い、また、2次研磨を、純水とRodel社製のSupreme-RNHパッドを用いて、溝部内を除いて、メタル( $\text{Al}-\text{Cu}$ )およびTi膜207を除去した(図3(e))。ここで、Down Force:70psi、Platen Speed:50rpm、Carrier Speed:40rpmの条件で、溝底部に相当するTiN膜208上の $\text{Al}-\text{Cu}$ 膜(平均粒径約10 $\mu\text{m}$ )の研磨速度は約140nm/分である。一方、溝以外に相当する研磨後のTi膜207上の $\text{Al}-\text{Cu}$ 膜(平均粒径約3 $\mu\text{m}$ )の研磨速度は、約300nm/分と、その比は1:2.1で、溝部分の研磨速度の方が遅い。この場合、Al研磨におけるセーリングが20nm以下であることを確認した。従って、セーリングによる配線抵抗の増加と配線抵抗のバラツキを抑制することができる。また、リンガラスコートの焦点深度も圧迫されることはなく、微細化された多層配線が可能となる。

【0035】溝の幅が10 $\mu\text{m}$ 以下の部分については、実質的には、溝の幅の影響を受けてしまうため、粒径は10 $\mu\text{m}$ より小さくなっているが、このような小さな幅の落ち込みには、研磨布が追従せず、また、溝の幅がメタル成膜量の2倍程度に関しては、メタルにより埋め込まれており、完全にフラットになり、溝部分の落ち込みは見られない。

【0036】実施例2

実施例2では、反射型のアクティブマトリクス液晶表示装置を作成した。図4は実施例2の反射型のアクティブマトリクス液晶表示装置の作製工程を説明するための図



である。なお、この反射型のアクティブマトリクス液晶表示装置は、複数の信号線と複数の走査線との交差部に対応して設けられ、金属で構成される画素電極に電圧を印加する手段を有するものであり、画素電極が例えば  $300\mu\text{m}$  のものとなっている。

【0037】実施例2では、公知の技術により、まず、厚さ1.1mmのガラス基板802上に、スパッタにより  $300\text{nm}$  の厚さのタングスタム金属を形成し、フォトリソグラフィおよびエッチングにより、パターンニングを行ない、ゲート電極およびゲートの配線を形成する。次いで、プラズマCVD(化学的気相成長法)により、シリコン窒化膜  $\text{Si}_3\text{N}_4$  からなるゲート絶縁膜803を形成後、シリコン  $\text{Si}$  と酸素  $\text{H}_2\text{O}$  を用いたプラズマCVDによって成膜した  $100\text{nm}$  の厚さのアモルファスシリコン薄膜(a-Si)と、後にコンタクト層となる厚さ  $50\text{nm}$  のn型a-Si層とを連続して形成した。n型a-Si層とa-Si層をパターンニングし、タングスタムにて、アルミニウムを成膜し、パターンニングを行なって、ソース電極805およびドレーン電極804、ソースバス配線806を形成し、薄膜トランジスタ(TFT)801を完成する。

【0038】次いで、FEOSを用いたプラズマCVDにて、 $\text{SiO}_2$  膜808を  $1.5\mu\text{m}$  の厚さに形成し、CMPにて平坦化を行なった。なお、CMPとしては、IPEC-PLANAR社製Westech372Mの装置を用い、1次研磨のスラリーとしてCabot社製のSS-12を用い、パッドとしてRodel社製のIC-1000とSUBA-400の積層したものを用い、2次研磨として、純水とRodel社製のSupreme-RNHパッドを用いて、行なった。

【0039】CMP研磨後、1%HFとブリンスクラブによる洗浄を行なった。その上部にレジストを塗布し、画素電極用のマスクを用いて露光し、現像、パターンニングを行ない、 $\text{CHF}_3$  と  $\text{C}_2\text{F}_6$  を用いたドライエッチングによって画素電極となる溝809を形成した。溝809の深さは  $400\text{nm}$  とし、そのレジスト剥離を行なった。次いで、エッチング形成のため、再度、レジスト塗布、パターンニングを行ない、ドライエッチングにより、ビアホール810を形成した。

【0040】その後、レジスト剥離し、 $500^\circ\text{C}$ 、60秒の脱ガスと、酸化膜換算で  $20\text{nm}$  の逆スパッタリング処理とを行なった後、連続して、TiN膜を  $20\text{nm}$  の厚さに成膜し、次いでAl-0.5%Cu金属811を  $600\text{nm}$  の厚さに成膜し、溝809とビアホール810とを同時に埋め込んだ。なお、このとき、Al

部809の中心を重点的に照射し(レーザー光をスキャンし特定部分だけを照射し)、Al粒径を増大させた。このとき、下地にTiNが設けられていることによって、より結晶粒径増大を促進させている。これにより、画素電極811に相当する溝部分809のAl粒径は、約  $8\mu\text{m}$  の平均粒径となった。ここでは、ArFレーザーを用いたが、他の局所加熱用レーザーを用いても良い。

【0042】しかる後、IPEC-PLANAR社製Westech372Mの装置を用い、1次研磨のスラリーとして、Rodel社製のQCTT1010と30%過酸化水素水  $\text{H}_2\text{O}_2$  を研磨直前に1:1で混ぜたものを用い、また、パッドとしてRodel社製のIC-1000とSUBA-400の積層したものを用い、また、2次研磨を、純水とRodel社製のSupreme-RNHパッドを用いて、溝部内を除いてAl-CuおよびTi膜を除去した。ここで、Down Force:7.0psi, Platen Speed:50rpm, Carrier Speed:40rpmの条件で、溝部に相当するAl-Cu膜(平均粒径約  $8\mu\text{m}$ )の研磨速度に対して、溝以外に相当するAl-Cu膜(平均粒径約  $1\mu\text{m}$ )の研磨速度は、1:2.5の比であり、溝部分の研磨速度の方が遅い。この場合、Al研磨におけるディッシングが  $10\text{nm}$  以下であることを確認した。このように、デュアルダマシンプ法により、画素電極811とビアホール810を同時に形成でき、より少ない工程で、きわめて平坦で、表示画像の輝度向上とコントラスト増加に寄与できる画素電極を作製することができた。

【0043】なお、上述の例では、本発明をアクティブマトリクス液晶表示のスイッチング素子の作製に適用して、a-Si-TFTを用いた場合について説明したが、ポリシリコンや単結晶シリコンなどを用いたTFT、MIM(Metal-Insulator-Metal)やクリスタなど2端子駆動素子にも本発明を適用できる。また、上述の例では、基板としてガラスを使用した。シリコンや石英基板、PC(ポリカーボネート)、PEI(ポリエーテルイミド)、PI(ポリイミド)、PET(ポリエチレンテレフタレート)等のプラスチックからなる絶縁性基板も用いることができる。

【0044】また、上述の例では、液晶材料を用いた表示素子を例に挙げたが、本発明の適用はこれに限られるものではなく、ミラー電極の角度を電圧により変化させる装置の電極、配線、パッド構造にも適用できる。

【0045】実施例3

図1は、本発明の液晶表示装置の一実施例を示す。図1Aは、図1の液晶表示装置の画素電極811に形成される溝

部分の形成方法を示す。図1Bは、図1の液晶表示装置の画素電極811に形成される溝部分の形成方法を示す。

み、この基板901の上層に、テトラエチキシルシラン(TEOS)を用いてプラズマCVDにて層間絶縁膜(シリコ、酸化膜)902を500nmの厚さで形成した。さらに、レジスト塗布および露光し、 $\text{CHF}_3$ と $\text{C}_2\text{F}_6$ を用いた異方性エッチングにて配線となる溝領域903(深さ500nm)を形成した。

【0046】次いで、550°Cの温度で3分間の脱ガス処理を行ない、熱酸化膜換算で20nmの逆スパッタリングを行った後に、基板とターゲット間距離を離れた遠距離スパッタ(LFS)にて、TiN膜を40nmの厚さに成膜し、連続して $\text{Al}-0.5\%\text{Cu}$ メタル904を450°Cで成膜した後、高圧をかけて微細な溝903にメタルを埋め込んだ。 $\text{Al}-0.5\%\text{Cu}$ 膜904の膜厚は、700nmとした。このとき、微細な溝を除き、溝部903およびそれ以外の部分で $\text{Al}-0.5\%\text{Cu}$ の平均粒径は約10nmとなった。

【0047】この $\text{Al}-0.5\%\text{Cu}$ 膜904の上層に、配線に相当する溝部分全てをレジスト905で覆った。図5にはこのときの状態が示されている。図5の左側には、 $\text{Al}-0.5\%\text{Cu}$ の膜厚の2倍程度の溝幅においては、 $\text{Al}-0.5\%\text{Cu}$ が完全に埋め込まれ $\text{Al}-0.5\%\text{Cu}$ の落ち込みが見られ、レジストマスクがなくなると配線として機能する部分までイオンは注入されないため、レジストで覆われても問題なく、従って、微細なパターンを形成するための高価な露光装置でなくとも良く、より安価で容易な露光でよい。

【0048】さらに、不純物イオンが注入されてもメタルの電気特性やエレクトロマイグレーション(EM)耐性に問題なければ、ゲージングが問題となるある線幅以上(例えば、20nm以上)の溝部分だけをマスクとなるようにレジストで覆ってもよい。その後、 $\text{Al}$ イオンを注入エネルギー100keV、ドーズ量 $5\text{E}15\text{cm}^{-2}$ 注入する。注入する不純物イオンとそのドーズ量は、アルゴン、シリコン、酸素、窒素、珪素その他メタルを非晶質化するのに十分な量を注入し、注入エネルギーに関しては、イオン種やメタル膜厚によって、下層に影響がないような位置にイオンが注入されるよう調整される。イオン注入により、CMPによって除去される溝以外の $\text{Al}$ を非晶質化することができた。

【0049】次いで、実施例1、実施例2と同様の条件で研磨し、溝底部の $\text{Al}-\text{Cu}$ 膜(平均粒径約10nm)の研磨速度に対して、溝以外の $\text{Al}-\text{Cu}$ 膜(非晶質)の研磨速度の比は、1:3で、溝部分の研磨速度が遅い。この場合、 $\text{Al}$ 研磨におけるゲージングが10nm以下であることを確認した。従って、ゲージングによる配線抵抗の増加と配線抵抗のバラツキを抑制することができる。また、リソグラフィの焦点深度も圧迫されることはなく、微細化された多層配線が可能となる。

【0050】また、全ての配線にレジストでマスクした

かった場合、メタル成膜幅の2倍以上からレジストでマスクしたところある特定の線幅までは、イオン注入によって非晶質化するため、エレクトロマイグレーション耐性に不具合を生じることが、研磨後のアニール処理等で結晶性を回復することも可能である。

【0051】

【発明の効果】以上に説明したように、請求項1の発明によれば、半導体領域上に層間絶縁膜を形成し、該層間絶縁膜に溝を形成する工程と、前記溝部を含んで前記層間絶縁膜上全面に導電性材料膜を形成する工程と、前記層間絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有する基板形成方法であって、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径より小さくするようにしており、溝部と溝部以外の部分との導電性材料の粒径を変えることによって、研磨速度を制御でき、配線または電極のゲージングを防止できる。すなわち、CMPを用いたダメージおよびゲル化ダメージによる配線あるいは電極の形成において、レイアウトに影響を与えることなくゲージングを防止でき、これによって、配線抵抗の増加を抑制でき、また、線幅による配線抵抗のバラツキを小さくすることができ、デバイスの安定化、高歩留まりを図ることができる。また、パッド部では、ワイヤボンド不良がなくなる。さらに、反射電極の場合には、きわめて平坦な反射板が得られ、表示画像の輝度を向上させ、コントラストを増加させることができる。

【0052】また、請求項2の発明によれば、アクティブマトリクス基板上に絶縁膜を形成し、該絶縁膜に溝を形成する工程と、前記溝部を含んで前記絶縁膜上全面に導電性材料膜を形成する工程と、前記絶縁膜上の導電性材料膜を化学的機械研磨により溝部内の導電性材料を残して除去する工程とを有する基板形成方法であって、溝部に形成される導電性材料の平均粒径を溝部以外に形成される導電性材料の平均粒径より小さくするようにしており、溝部と溝部以外の部分の導電性材料の粒径を変えることによって、研磨速度を制御でき、配線または電極のゲージングを防止できる。これによって、配線抵抗の増加を抑制でき、また線幅による配線抵抗のバラツキを小さくすることができ、デバイスの安定化、高い歩留まりを図ることができる。また、パッド部では、ワイヤボンド不良がなくなる。さらに、反射電極の場合には、きわめて平坦な反射板が得られ、表示画像の輝度を向上させ、コントラストを増加させることができる。

【0053】また、請求項3の発明によれば、溝部と溝部以外の部分とにそれぞれ異なる膜種もしくは異なる組成の膜を配し、該膜の下地依存を用いて、その上に形成

される導電性材料の平均粒径を制御することで、配線の信頼性を確保しつつ、請求項1、請求項2の作用効果を得ることができる。

【0054】また、請求項4の発明によれば、溝部に形成される導電性材料の平均粒径を、レーザー照射によって大きくすることで、リソグラフィなどの工程を増大させることなく、請求項1、請求項2の作用効果を得ることができる。

【0055】また、請求項5の発明によれば、溝部以外の部分の導電性材料の平均粒径を、イオンインプラント

【図面の簡単な説明】

【図1】本発明に係る基板形成方法の工程例を示す図である。

【図2】平均粒径と研磨速度との関係を示す図である。

【図3】実施例1による基板形成の工程例を示す図である。

【図4】実施例2の反射型のアクティブマトリクス液晶表示装置の作製工程を説明するための図である。

【図5】実施例3の微細化された層間配線の作製工程を説明するための図である。

【図6】従来のダメージ法による配線形成方法を示す図である。

【図7】デュアルダメージ法を説明するための図である。

【図8】化学的機械研磨を説明するための図である。

【図9】ダメージングを説明するための図である。

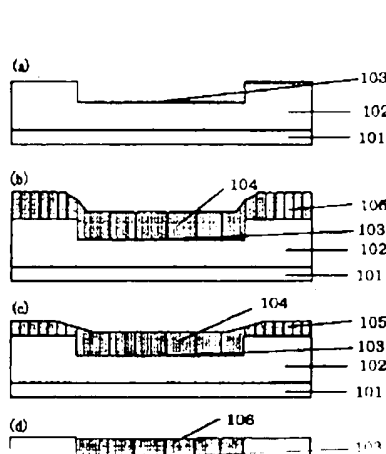
【図10】配線幅とダメージングとの関係を示す図である。

【図11】ダメージングを防止することを意図した従来の技術を説明するための図である。

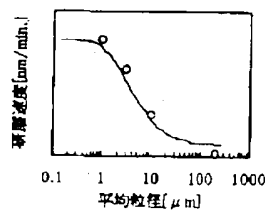
【符号の説明】

101	半導体基板
102	層間絶縁膜
103	溝部
104、105	導電性材料
106	配線または電極として機能する領域
201	半導体基板
202	層間絶縁膜
203	溝部
204、205	メタル(A1-Cu)
206	配線または電極として機能する領域
207	ET膜
208	ETN膜
209	フォトリソ
801	ETFT(薄膜トランジスタ)
802	ガラス基板
803	絶縁膜
809	溝部
810	ビアホール
811	直素電極
901	基板
902	層間絶縁膜
903	溝部
904	A1-Cu膜
905	フォトリソ

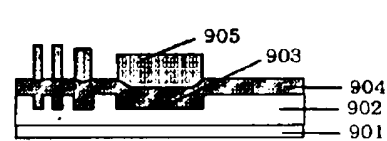
【図1】



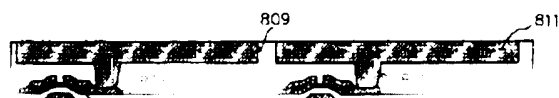
【図2】



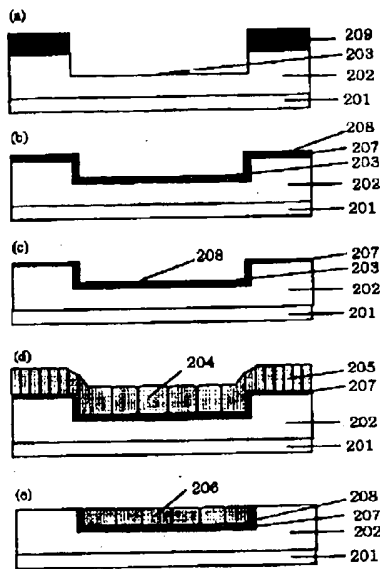
【図5】



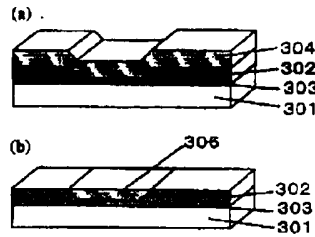
【図4】



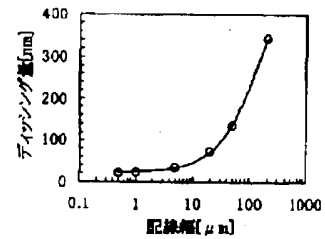
【図3】



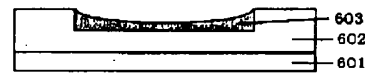
【図6】



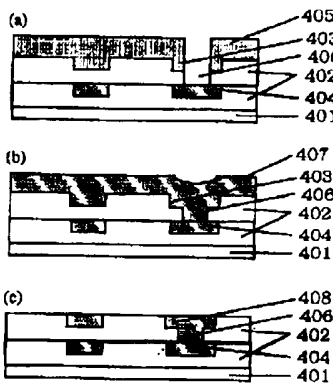
【図10】



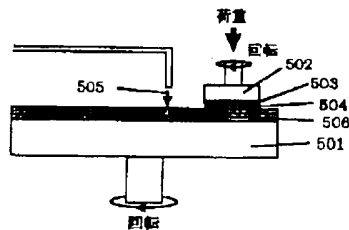
【図9】



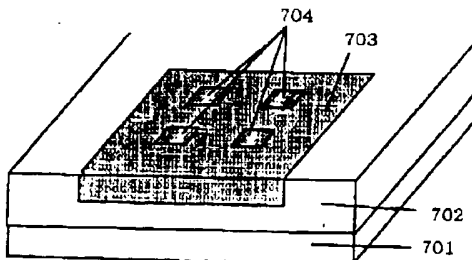
【図7】



【図8】



【図11】



フロントページの続き

ド ター ム ( 参 考 ) 2H092 GA25 HA06 JA03 JA24 JA33  
JB24 JB33 JB58 KA05 KA10  
KA12 KA18 KB04 KB22 KB25  
MA05 MA08 MA15 MA18 MA27  
MA37 NA01 NA07 NA19 NA28  
NA29 PA01  
5F033 AA02 AA04 AA13 AA17 AA29  
AA64 AA66 AA68 AA71 BA02  
BA12 BA15 BA25 BA38 BA41  
CA01 EA03 EA11 EA19 EA25  
EA28

